

IPW



Patent

BEST AVAILABLE COPY

Customer No. 31561

Application No.: 10/710,597

Docket No. 13511-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Lai
Application No. : 10/710,597
Filed : Jul 23, 2004
For : THIN FILM TRANSISTOR ARRAY AND FABRICATING
METHOD THEREOF
Examiner : N/A
Art Unit : 2816

ASSISTANT COMMISSIONER FOR PATENTS

Arlington, VA 22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93111981,
filed on: 2004/4/29.

A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: Nov. 22, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder.

申請日：西元 2004 年 04 月 29 日
Application Date

申請案號：093111981
Application No.

申請人：友達光電股份有限公司
Applicant(s)

CERTIFIED COPY OF
PRIORITY DOCUMENT

局長
Director General

蔡練生

發文日期：西元 2004 年 8 月 18 日
Issue Date

發文字號：09320772420
Serial No.

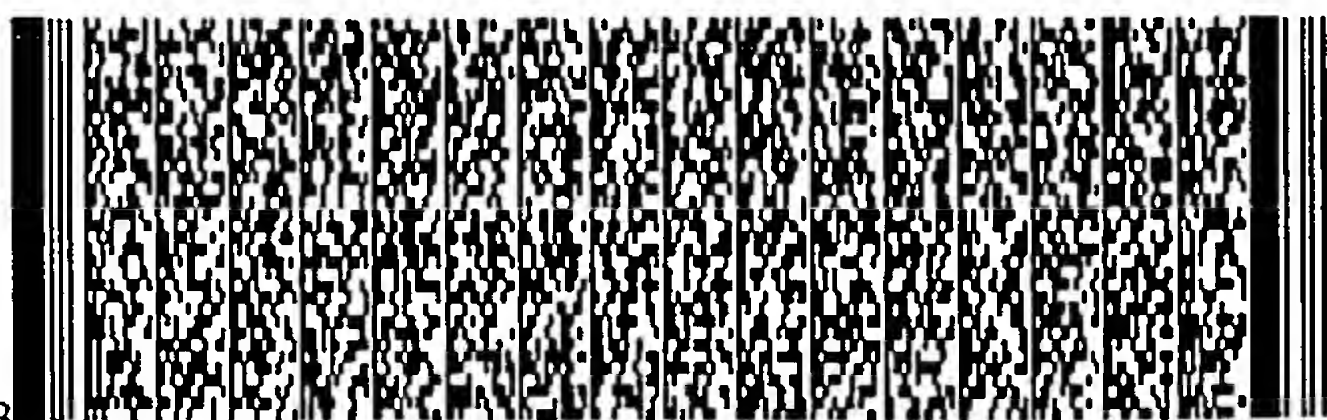


申請日期：	IPC分類
申請案號：93111981	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	薄膜電晶體陣列基板及其製造方法
	英文	THIN FILM TRANSISTOR ARRAY AND FABRICATING METHOD THEREOF
二、 發明人 (共1人)	姓名 (中文)	1. 來漢中
	姓名 (英文)	1. LAI, HAN CHUNG
	國籍 (中英文)	1. 中華民國 TW
	住居所 (中文)	1. 桃園縣中壢市內壢成功路122巷63弄20號
	住居所 (英文)	1. No. 20, Alley 63, Lane 122, Chengkung Rd., Chungli, Taoyuan Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 友達光電股份有限公司
	名稱或姓名 (英文)	1. AU OPTRONICS CORPORATION
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 新竹科學工業園區新竹市力行二路一號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. NO. 1, LI-HSIN RD. II, SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.
	代表人 (中文)	1. 李焜耀
	代表人 (英文)	1. LEE, KUN YAO

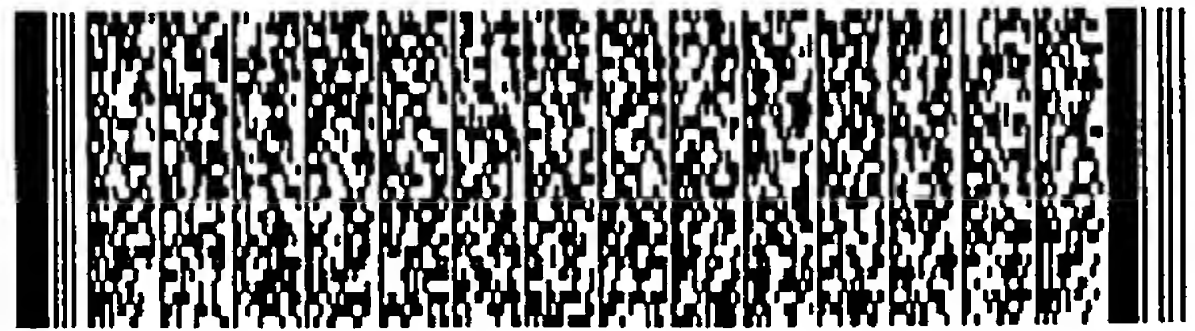


四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其製造方法)

一種薄膜電晶體陣列基板，係由一基板、多數個掃描配線、多數個資料配線、多數個薄膜電晶體、一蝕刻阻障層以及多數個畫素電極所構成。其中，掃描配線與資料配線係配置於基板上，以將基板區分為多數個畫素區域。每一個薄膜電晶體係配置於對應的畫素區域內，並藉由對應之掃描配線與資料配線驅動。蝕刻阻障層係配置掃描配線或共用配線上方，且蝕刻阻障層具有多數個開口。每一個畫素電極係配置於對應的畫素區域內，以與對應之薄膜電晶體電性連接，其中每一個畫素電極之部分區域係透過其中一個開口而分別與對應之掃描配線耦合為一儲存電容。另外，本發明亦提供一種上述薄膜電晶體陣列基板之製造方法。

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY AND FABRICATING METHOD THEREOF)

A thin film transistor array comprising a substrate, a plurality of scan lines, a plurality of data lines, a plurality of thin film transistors, an etch barrier layer and a plurality of pixel electrodes is provided. The scan lines and the data lines are disposed over the substrate to define a plurality of pixel areas. Each thin film transistor is disposed in one of the pixel



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其製造方法)

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY AND FABRICATING METHOD THEREOF)

areas and driven by the corresponding scan line and data line. The etch barrier layer including a plurality openings is disposed over the scan line or a common line. Each pixel electrode electrically connected to the corresponding thin film transistor is disposed in one of the pixel areas, wherein a portion of each pixel electrode is coupled with the corresponding scan line



四、中文發明摘要 (發明名稱：薄膜電晶體陣列基板及其製造方法)

五、英文發明摘要 (發明名稱：THIN FILM TRANSISTOR ARRAY AND FABRICATING METHOD THEREOF)

through one of the openings to form a storage capacitor. Furthermore, a fabricating method of the thin film array is also provided.



六、指定代表圖

(一)、本案代表圖為：第____6H____圖

(二)、本案代表圖之元件代表符號簡單說明：

310：基板

320：掃描配線

342：閘極

344：半導體層

350：蝕刻阻障層

360：畫素電極

370：共用配線

380：閘極絕緣層

384：歐姆接觸層

390：保護層

392：接觸窗

394：開口

M1：第一圖案化導體層

M2：第二圖案化導體層

R：凹陷



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

無

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

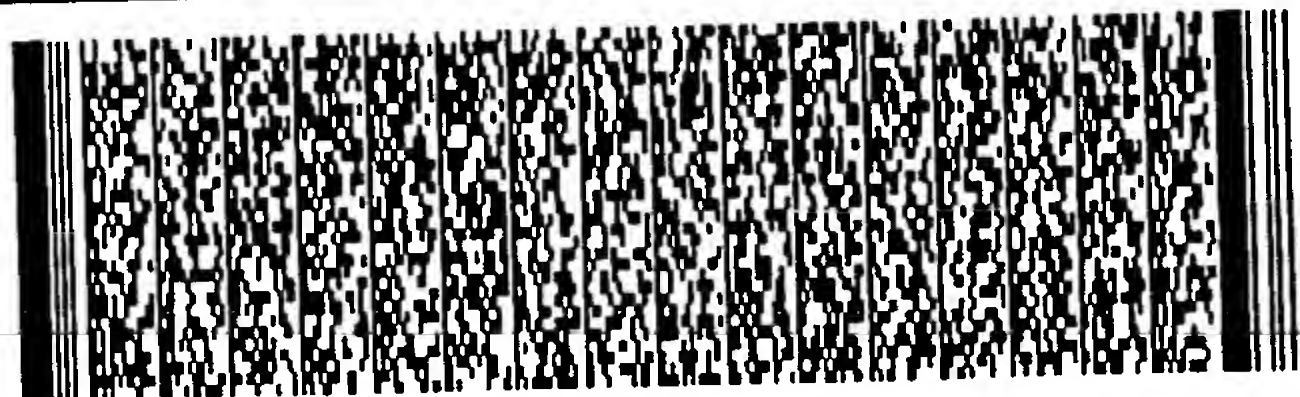
發明所屬之技術領域

本發明是有關於一種薄膜電晶體陣列基板(Thin Film Transistor array, TFT array)及其製造方法,且特別是有關於一種能夠增加各畫素中儲存電容(storage capacitor, Cst)之薄膜電晶體陣列基板及其製造方法。

先前技術

針對多媒體社會之急速進步,多半受惠於半導體元件或顯示裝置的飛躍性進步。就顯示器而言,陰極射線管(Cathode Ray Tube, CRT)因具有優異的顯示品質與其經濟性,一直獨佔近年來的顯示器市場。然而,對於個人在桌上操作多數終端機/顯示器裝置的環境,或是以環保的觀點切入,若以節省能源的潮流加以預測,陰極射線管因空間利用以及能源消耗上仍存在很多問題,而對於輕、薄、短、小以及低消耗功率的需求無法有效提供解決之道。因此,具有高畫質、空間利用效率佳、低消耗功率、無輻射等優越特性之薄膜電晶體液晶顯示器(Thin Film Transistor Liquid Crystal Display, TFT LCD)已逐漸成為市場之主流。

薄膜電晶體液晶顯示器(TFT-LCD)主要由薄膜電晶體陣列基板、彩色濾光陣列基板和液晶層所構成,其中薄膜電晶體陣列基板是由多個陣列排列之薄膜電晶體以及與每一個薄膜電晶體對應配置之畫素電極(pixel electrode)所組成。而薄膜電晶體係用來作為液晶顯示單元的開關元件。此外,為了控制個別的畫素單元,通常會經由掃描配

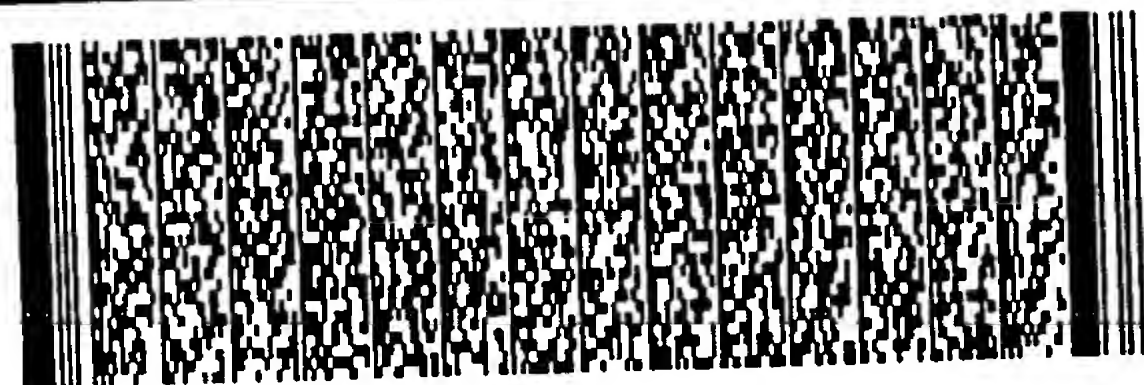


五、發明說明 (2)

線(scan line)與資料配線(data line)以選取特定之畫素，並藉由提供適當的操作電壓，以顯示對應此畫素之顯示資料。另外，上述之畫素電極的部分區域通常會覆蓋於掃描配線或是共用配線(common line)上，以形成儲存電容。習知技術中，常見的儲存電容可區分為金屬層-絕緣層-金屬層(Metal-Insulator-Metal, MIM)以及金屬層-絕緣層-銦錫氧化物層(Metal-Insulator-ITO, MII)兩種架構，以下將針對上述兩種架構之儲存電容結構進行詳細之說明。

圖1繪示為習知金屬層-絕緣層-金屬層(MIM)架構之儲存電容的剖面示意圖。請參照圖1，在習知的畫素結構中，金屬層-絕緣層-金屬層(MIM)架構之儲存電容Cst通常係藉由掃描配線或共用配線100與其上方之上電極120耦合而成。值得注意的是，在金屬層-絕緣層-金屬層(MIM)架構之儲存電容中，掃描配線或共用配線100與上電極120係藉由閘極絕緣層110彼此電性絕緣，因此儲存電容值Cst與閘極絕緣層110的厚度有關。換言之，閘極絕緣層110的厚度越小，儲存電容值Cst就越大。此外，畫素電極140係藉由保護層130中的接觸窗132與上電極120電性連接。

圖2繪示為習知金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容的剖面示意圖。請參照圖2，在習知的畫素結構中，金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容通常係藉由掃描配線或共用配線200與其上方之畫素電極230耦合而成。與金屬層-絕緣層-金屬層(MIM)架構不



五、發明說明 (3)

同之處在於，金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容中的掃描配線或共用配線200與畫素電極230係藉由閘極絕緣層210與保護層220彼此電性絕緣，因此儲存電容值Cst與閘極絕緣層210及保護層220的總厚度有關。換言之，閘極絕緣層210及保護層220的總厚度越小，儲存電容值Cst就越大。

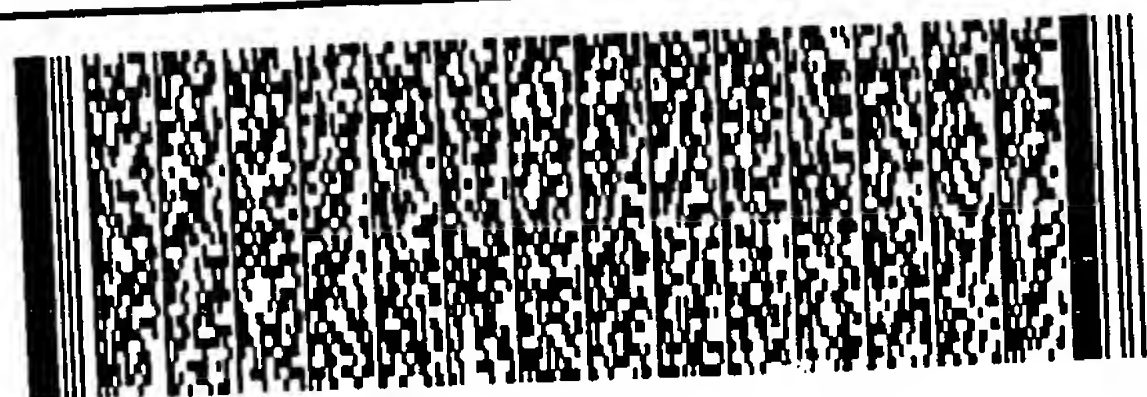
在習知的薄膜電晶體陣列基板中，若要在不影響開口率的前提下增加儲存電容值Cst，則必須縮減閘極絕緣層210及/或保護層220的厚度，但若縮減閘極絕緣層210及/或保護層220的厚度則有可能使得薄膜電晶體的元件信賴性(reliability)下降。

發明內容

本發明的目的就是在提供一種薄膜電晶體陣列基板，其能夠有效增進各畫素中之儲存電容。

本發明的另一目的就是在提供一種薄膜電晶體陣列基板的製造方法，其能夠在與現有製程相容，且可有效增進各畫素中之儲存電容。

為達上述或其他目的本發明提出一種薄膜電晶體陣列基板，此薄膜電晶體陣列基板係由一基板、多數個掃描配線、多數個資料配線、多數個薄膜電晶體、一蝕刻阻障層以及多數個畫素電極所構成。其中，掃描配線與資料配線係配置於基板上，以將基板區分為多數個畫素區域。每一個薄膜電晶體係配置於對應的畫素區域內，並藉由對應之掃描配線以及資料配線驅動。蝕刻阻障層係配置掃描配線



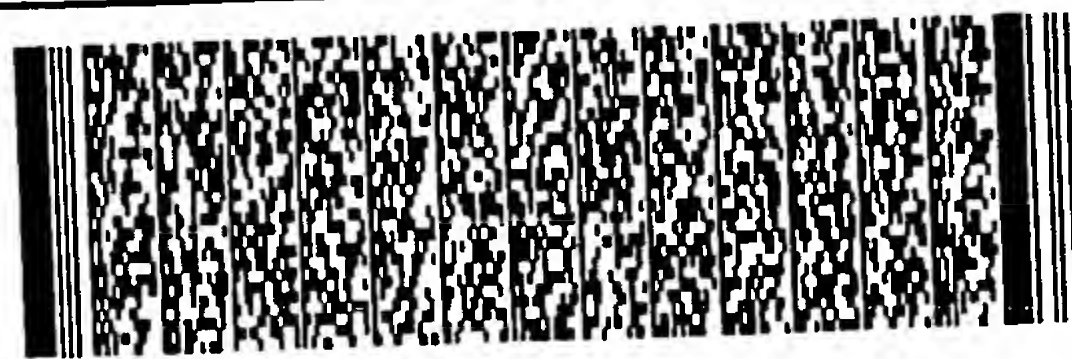
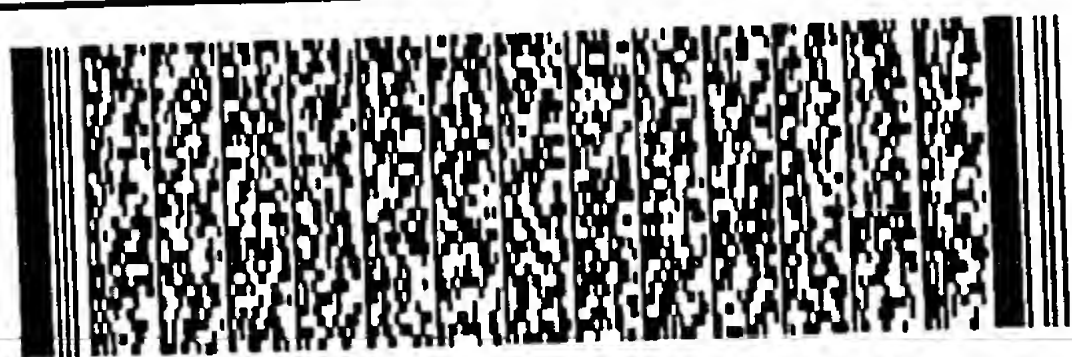
五、發明說明 (4)

上方，且蝕刻阻障層具有多數個開口。每一個畫素電極係配置於對應的畫素區域內，以與對應之薄膜電晶體電性連接，其中每一個畫素電極之部分區域係透過其中一個開口而分別與對應之掃描配線耦合為一儲存電容。

為達上述或其他目的本發明提出一種薄膜電晶體陣列基板，此薄膜電晶體陣列基板係由一基板、多數個掃描配線、多數個資料配線、多數個薄膜電晶體、多數個共用配線、一蝕刻阻障層，以及多數個畫素電極所構成。其中，掃描配線與資料配線係配置於基板上，以將基板區分為多數個畫素區域。每一個薄膜電晶體係配置於對應的畫素區域內，並藉由對應之掃描配線以及資料配線驅動。共用配線係配置於基板上，且位於二相鄰之掃描配線之間。蝕刻阻障層係配置共用配線上方，且蝕刻阻障層具有多數個開口。每一個畫素電極係配置於對應的畫素區域內，以與對應之薄膜電晶體電性連接，其中每一個畫素電極之部分區域係透過其中一個開口而分別與對應之共用配線耦合為一儲存電容。

本發明之薄膜電晶體陣列基板例如更包括一配置於蝕刻阻障層與掃描配線（或共用配線）之間的閘極絕緣層，且此閘極絕緣層具有多數個對應於蝕刻阻障層之開口的凹陷。

本發明之薄膜電晶體陣列基板例如更包括一配置於蝕刻阻障層與閘極絕緣層之間的半導體層。此外，本實施例之薄膜電晶體陣列基板例如更包括一配置於蝕刻阻障層與



五、發明說明 (5)

開口暴露。本發明之一較佳實施例中，蝕刻阻障層例如包括多數個條狀圖案，而每一個條狀圖案係位於對應之掃描配線（或共用配線）上方。此外，蝕刻阻障層亦可包括多數個框狀圖案，而每一框狀圖案係位於對應之畫素電極下方。

本發明之一較佳實施例中，畫素電極之材質例如為銦錫氧化物（ITO）、銦鋅氧化物（IZO），或是其他導體材料。

為達上述或其他目的本發明提出一種薄膜電晶體陣列基板的製造方法。首先，於一基板上形成一第一圖案化導體層。接著於基板以及第一圖案化導體層上依序形成一絕緣層以及一半導體材料層。之後，於半導體材料層之部分區域上形成一位於第一圖案化導體層上方之蝕刻阻障層。接著，於半導體材料層與蝕刻阻障層上選擇性地形成一歐姆接觸層，之後再形成一導體層，並圖案化上述之導體層、歐姆接觸層與半導體材料層，以同時形成一第二圖案化導體層以及多個位於蝕刻阻障層與第二圖案化導體層下方之半導體層。繼之，於基材上形成一保護層，並移除第二圖案化導體層的部分區域上方之保護層以形成多個開口。同時移除第一圖案化導體層的部分區域上方之保護層、蝕刻阻障層以及半導體層以形成多個開口。最後，於基材上形成多個畫素電極，其中每一個畫素電極係透過對應之接觸窗與第二圖案化導體層電性連接，且每一個畫素電極之部分區域係透過對應之開口與第一圖案化



五、發明說明 (6)

導體層耦合為一儲存電容。

本發明之一較佳實施例中，在半導體材料層與蝕刻阻障層上形成一導體層之前，更包括選擇性地形成一歐姆接觸層於半導體材料層與蝕刻阻障層上。

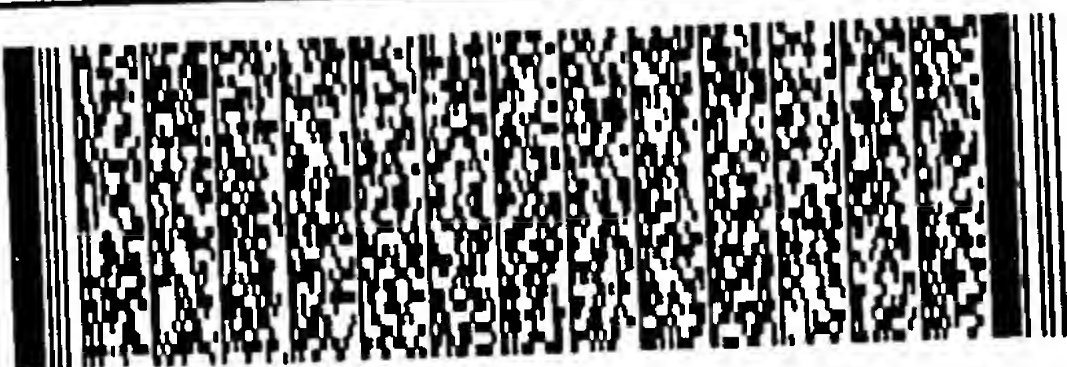
本發明之一較佳實施例中，第一圖案化導體層的形成方法例如係先形成一第一導體層於基材上，之後再圖案化此第一導體層，以形成多數個掃描配線以及多數個與掃描配線連接之閘極。在此實施例中，蝕刻阻障層係形成於閘極與掃描配線上方。

本發明之一較佳實施例中，第一圖案化導體層的形成方法例如係先形成一第一導體層於基材上，之後再圖案化此第一導體層，以形成多數個掃描配線、多數個與掃描配線連接之閘極，以及多數個位於二相鄰之掃描配線之間的共用配線。在此實施例中，蝕刻阻障層係形成於閘極與共用配線上方。

本發明之薄膜電晶體陣列基板的製造方法中，在圖案化導體層與半導體材料層的同時，更包括以第二圖案化導體層為罩幕，移除部分厚度之蝕刻阻障層。

本發明之薄膜電晶體陣列基板的製造方法中，在形成接觸窗的同時，更包括移除部分厚度之閘極絕緣層，以於閘極絕緣層中形成多數個對應於開口之凹陷。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。



五、發明說明 (7)

實施方式

圖3繪示為依照本發明一較佳實施例薄膜電晶體陣列基板之上視示意圖。請參照圖3，本實施例之薄膜電晶體陣列基板300係由一基板310、多數個掃描配線320、多數個資料配線330、多數個薄膜電晶體340、一蝕刻阻障層350以及多數個畫素電極360所構成。

本實施例中，基板310例如為玻璃基板、塑膠基板或是其他材質之基板。如圖3所示，掃描配線320與資料配線330係配置於基板310上，以將基板310區分為多數個畫素區域312。更詳細的說，掃描配線320例如係彼此平行地配置於基板310上，資料配線330亦例如係彼此平行地配置於基板310上，且掃描配線320與資料配線330的延伸方向例如係彼此垂直，以將基板310區分為多數個矩形之畫素區域312。

如圖3所示，各個薄膜電晶體340係配置於對應的畫素區域312內，並藉由對應之掃描配線320以及資料配線330驅動。更詳細的說，薄膜電晶體340係鄰近於其所對應之掃描配線320及資料配線330的交錯處(intersection)配置，意即，薄膜電晶體340係配置於畫素區域312中的一個角落上。本實施例中，薄膜電晶體340例如係由一閘極342、一位於閘極342上方之半導體層344以及一源極/汲極(source/drain)346所構成。其中，閘極342例如係與掃描配線320同時形成，而源極/汲極346例如係與資料配線330同時形成。



五、發明說明 (8)

同樣請參照圖3，蝕刻阻障層350係配置掃描配線320上方，且蝕刻阻障層350具有多數個開口352。此外，每一個畫素電極360係配置於對應的畫素區域312內，以與對應之薄膜電晶體340電性連接，其中每一個畫素電極360之部分區域係透過蝕刻阻障層350中的開口352而分別與對應之掃描配線320耦合為一儲存電容，而此儲存電容係屬於一種金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容，而有關於此儲存電容的詳細剖面結構將詳述於後(圖6A至圖6H)。承上述，畫素電極360之材質例如為銦錫氧化物、銦鋅氧化物，或是其他導體材料。

圖4A繪示為依照本發明一較佳實施例蝕刻阻障層之上視示意圖，而圖4B繪示為依照本發明另一較佳實施例蝕刻阻障層之上視示意圖。首先請參照圖4A，在本發明之一實施例中，蝕刻阻障層350例如包括多數個條狀圖案350a，且每一個條狀圖案350a係位於對應之掃描配線320上方。接著請參照圖4B，在本發明之另一實施例中，蝕刻阻障層350例如包括多數個框狀圖案350b，且每一框狀圖案350b係位於對應之畫素電極360下方。

圖5繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板之上視示意圖。請參照圖5，本實施例之薄膜電晶體陣列基板300'係由一基板310、多數個掃描配線320、多數個資料配線330、多數個薄膜電晶體340、多數個共用配線370、一蝕刻阻障層350以及多數個畫素電極360所構成。由於本實施例之薄膜電晶體陣列基板300'在結構上與



五、發明說明 (9)

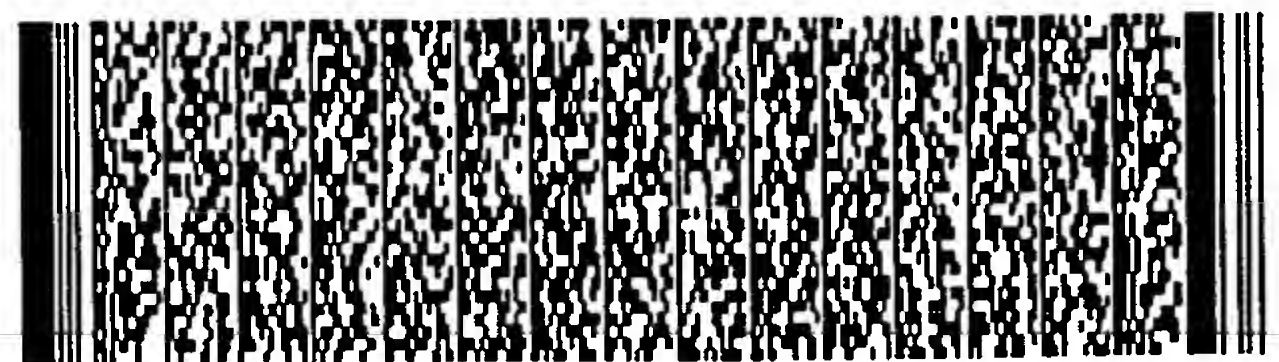
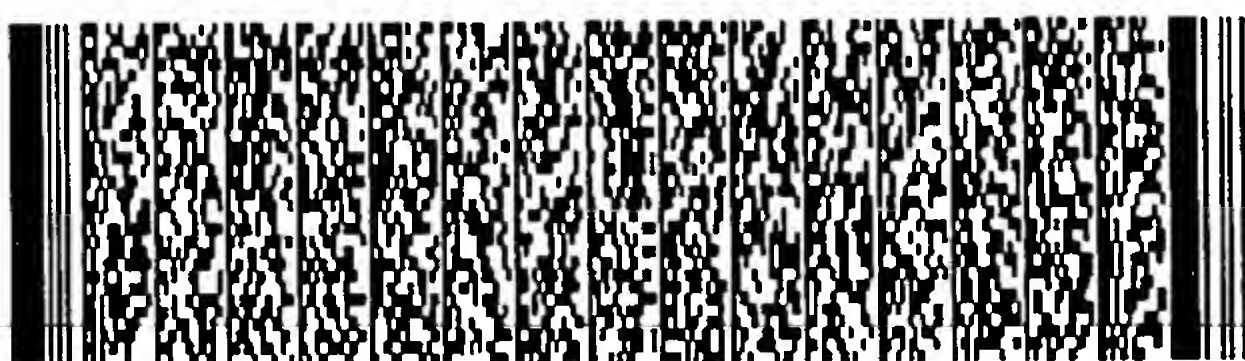
圖3中的薄膜電晶體陣列基板300相似，故此處僅針對二者之差異處進行詳細之說明。

請參照圖5，共用配線370係配置於基板300上，且位於二相鄰之掃描配線320之間。值得注意的是，共用配線370係與掃描配線320同時形成。由於薄膜電晶體陣列基板300'上之儲存電容係架構於共用配線370上，因此蝕刻阻障層350需配置於共用配線370上方，此處之蝕刻阻障層350同樣具有多數個開口352，以使得畫素電極360之部分區域能夠透過蝕刻阻障層350之開口352而與對應之共用配線370耦合為一儲存電容，而有關於此儲存電容的詳細剖面結構將詳述於後（圖6A至圖6H）。

圖6A至圖6H繪示為依照本發明一較佳實施例薄膜電晶體陣列基板之製造流程剖面示意圖。請參照圖6A，首先，於一基板310上形成一第一圖案化導體層M1，此第一圖案化導體層M1之材質例如為鋁或是其他金屬。

在製作具有閘極上儲存電容(Cst on gate)結構之薄膜電晶體陣列基板300（繪示於圖3）時，第一圖案化導體層M1的形成方法例如係先形成一第一導體層（未繪示）於基材310上，之後再將此第一導體層圖案化，以形成多數個掃描配線320以及多數個與掃描配線320連接之閘極342。

在製作具有共用配線上儲存電容(Cst on common)結構之薄膜電晶體陣列基板300'（繪示於圖5）時，第一圖案化導體層M1的形成方法例如係先形成一第一導體層（未



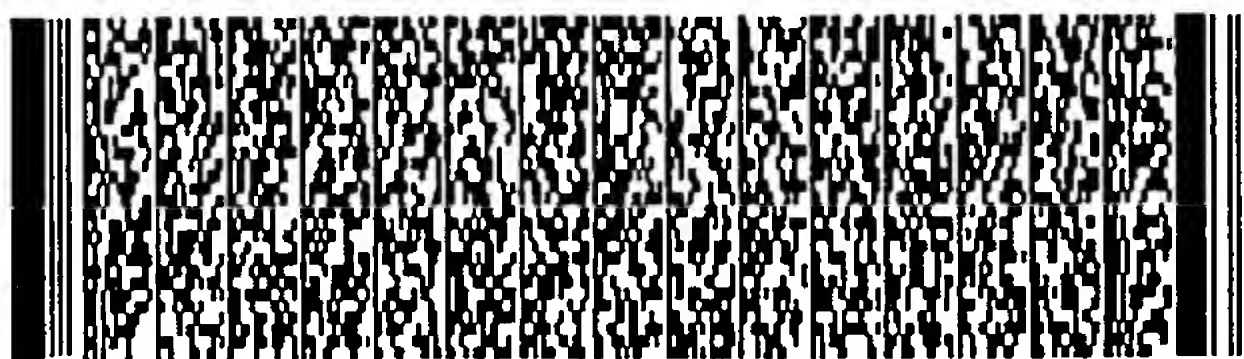
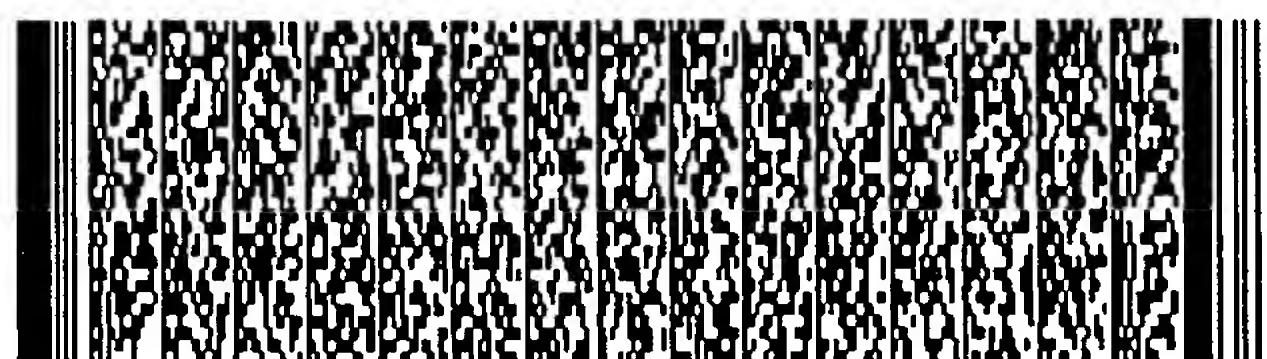
五、發明說明 (10)

繪示)於基材310上，之後再將此第一導體層圖案化，以形成多數個掃描配線320、多數個與掃描配線320連接之閘極342以及多數個位於二相鄰之掃描配線320之間的共用配線370。

接著請參照圖6B，接著於基板310以及第一圖案化導體層M1上全面性形成一閘極絕緣層380以及一半導體材料層344'。其中，閘極絕緣層380之材質例如為氧化矽、氮化矽或是其他介電材質，而半導體材料層344'之材質例如為非晶矽(amorphous silicon)。

接著請參照圖6C，接著於半導體材料344'的部分區域上形成一位於第一圖案化導體層M1上方之蝕刻阻障層350。值得注意的是，在製作具有閘極上儲存電容(Cst on gate)結構之薄膜電晶體陣列基板300(繪示於圖3)時，蝕刻阻障層350係形成於閘極342與掃描配線320上方。而在製作具有共用配線上儲存電容(Cst on common)結構之薄膜電晶體陣列基板300'(繪示於圖5)時，蝕刻阻障層350係形成於閘極342與共用配線370上方。

接著請參照圖6D，接著於半導體材料層344'與蝕刻阻障層350上形成一導體層382，此導體層382例如係鋁/鉬/鋁(Al/Mo/Al)之金屬疊層或是其他合適之單一或複合導體層。值得注意的是，為了增進元件的效能，在形成導體層382之前可選擇性地形成一歐姆接觸層(ohmic contact layer)384，以改善導體層382與半導體材料層344'之間的接觸特性。承上述，歐姆接觸層384之材質例如為n型摻雜



五、發明說明 (11)

之非晶矽層(n-type doped amorphous layer)。

接著請參照圖6E，圖案化上述之導體層382、歐姆接觸層384與半導體材料層344'，以同時形成一第二圖案化導體層M2以及多數個位於蝕刻阻障層350與第二圖案化導體層M2下方之半導體層344。同樣地，歐姆接觸層384亦會被圖案化，使得歐姆接觸層384僅分佈於第二圖案化導體層M2下方。換言之，歐姆接觸層384與第二圖案化導體層M2會具有相同的圖案。

同樣請參照圖6E，在圖案化上述之導體層384與半導體材料層344'的同時，未被第二圖案化導體層M2所覆蓋之蝕刻阻障層350會被移除掉部分厚度，如圖6E中之A、B所示。

接著請參照圖6F與圖6G，於基材310上形成一保護層390，並移除第二圖案化導體層M1的部分區域上方之保護層390以形成多數個接觸窗392，同時移除第一圖案化導體層M1的部分區域上方之保護層390、蝕刻阻障層350以及半導體層344以形成多數個開口394。本實施例中，例如係以微影/蝕刻的方式形成接觸窗392與開口394，而在微影/蝕刻製程之後，接觸窗392會將部分的第二圖案化導體層M1暴露出，而開口394會將閘極絕緣層380暴露出，甚至會將部分厚度之閘極絕緣層380移除，以於閘極絕緣層380中形成多數個對應於開口394之凹陷R。值得注意的是，由於蝕刻阻障層350的存在，閘極絕緣層380僅會被蝕刻出凹陷R，閘極絕緣層380並不會被蝕穿或破洞。



五、發明說明 (12)

最後請參照圖6H，最後於基材310上形成多數個畫素電極360，其中每一個畫素電極360係透過對應之接觸窗392與第二圖案化導體層M2電性連接，且每一個畫素電極360之部分區域係透過對應之開口394與第一圖案化導體層M1耦合為一儲存電容。值得注意的是，閘極絕緣層380表面上所形成之凹陷R將使得閘極絕緣層380的厚度縮減，進而增加單位面積的儲存電容值。

綜上所述，本發明之薄膜電晶體陣列基板及其製造方法至少具有下列優點：

1. 本發明之薄膜電晶體陣列基板中，儲存電容以及開口率(aperture ratio)皆可獲得進一步的提升。

2. 本發明之薄膜電晶體陣列基板的製造方法與現有製程相容，在不大幅修改製程的前提下，可有效增加單位面積的儲存電容值。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

圖1繪示為習知金屬層-絕緣層-金屬層(MIM)架構之儲存電容的剖面示意圖。

圖2繪示為習知金屬層-絕緣層-銦錫氧化物層(MII)架構之儲存電容的剖面示意圖。

圖3繪示為依照本發明一較佳實施例薄膜電晶體陣列基板之上視示意圖。

圖4A繪示為依照本發明一較佳實施例蝕刻阻障層之上視示意圖。

圖4B繪示為依照本發明另一較佳實施例蝕刻阻障層之上視示意圖。

圖5繪示為依照本發明另一較佳實施例薄膜電晶體陣列基板之上視示意圖。

圖6A至圖6H繪示為依照本發明一較佳實施例薄膜電晶體陣列基板之製造流程剖面示意圖。

【圖式標示說明】

100、200：掃描配線或共用配線

110、210：閘極絕緣層

120：上電極

130、220：保護層

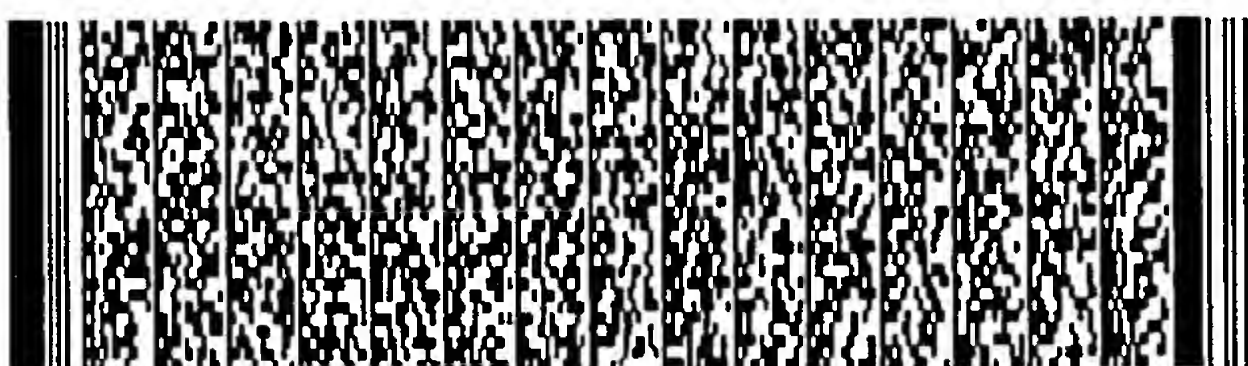
132：接觸窗

140、230：畫素電極

300、300'：薄膜電晶體陣列基板

310：基板

312：畫素區域



圖式簡單說明

- 320 : 掃描配線
- 330 : 資料配線
- 340 : 薄膜電晶體
- 342 : 閘極
- 344 : 半導體層
- 344' : 半導體材料層
- 346 : 源極/汲極
- 350 : 蝕刻阻障層
- 350a : 條狀圖案
- 350b : 框狀圖案
- 352 : 開口
- 360 : 畫素電極
- 370 : 共用配線
- 380 : 閘極絕緣層
- 382 : 導體層
- 384 : 歐姆接觸層
- 390 : 保護層
- 392 : 接觸窗
- 394 : 開口
- M1 : 第一圖案化導體層
- M2 : 第二圖案化導體層
- R : 凹陷



六、申請專利範圍

1. 一種薄膜電晶體陣列基板，包括：

一基板；

多數個掃描配線，配置於該基板上；

多數個資料配線，配置於該基板上，其中該些掃描配線與該些資料配線係將該基板區分為多數個畫素區域；

多數個薄膜電晶體，每一該些薄膜電晶體係配置於該些畫素區域其中之一內，其中該些薄膜電晶體係藉由該些掃描配線以及該些資料配線驅動；

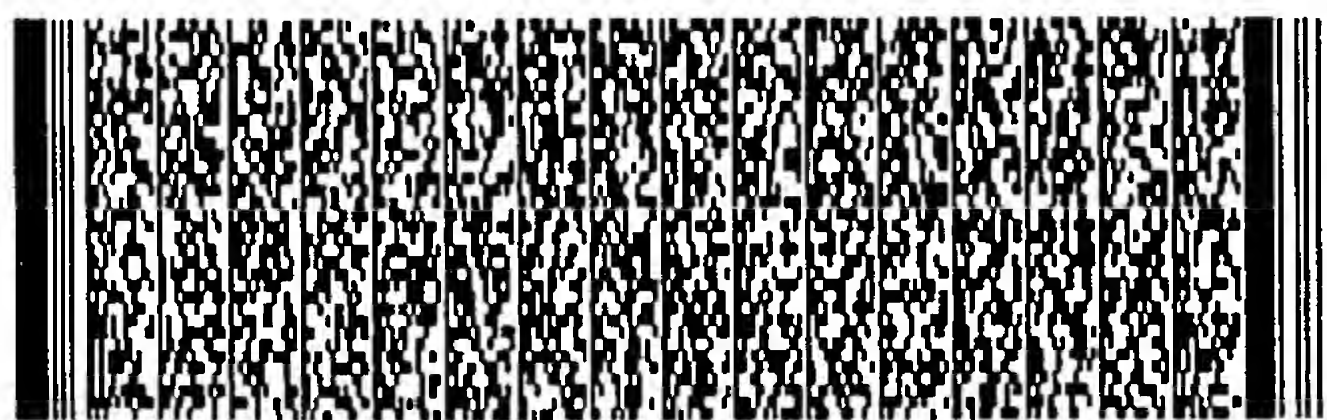
一蝕刻阻障層，該蝕刻阻障層係配置該些掃描配線上方，其中該蝕刻阻障層具有多數個該開口；以及

多數個畫素電極，每一該些畫素電極係配置於該些畫素區域其中之一內，以與對應之該些薄膜電晶體其中之一電性連接，其中每一該些畫素電極之部分區域係透過該些開口其中之一而分別與該些掃描配線其中之一耦合為一儲存電容。

2. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，更包括一閘極絕緣層，配置於該蝕刻阻障層與該些掃描配線之間。

3. 如申請專利範圍第2項所述之薄膜電晶體陣列基板，其中該閘極絕緣層具有多數個凹陷，且每一該些凹陷係對應於該蝕刻阻障層之該些開口其中之一。

4. 如申請專利範圍第2項所述之薄膜電晶體陣列基板，更包括一半導體層，配置於該些蝕刻阻障層與該閘極絕緣層之間。



六、申請專利範圍

5. 如申請專利範圍第2項所述之薄膜電晶體陣列基板，更包括一保護層，配置於該蝕刻阻障層與該閘極絕緣層上，並將該蝕刻阻障層之該些開口暴露。

6. 如申請專利範圍第1所述之薄膜電晶體陣列基板，其中該蝕刻阻障層包括多數個條狀圖案，且每一該些條狀圖案係位於對應之該些掃描配線其中之一上方。

7. 如申請專利範圍第1所述之薄膜電晶體陣列基板，其中該蝕刻阻障層包括多數個框狀圖案，且每一該些框狀圖案係位於對應之該些畫素電極其中之一下方。

8. 如申請專利範圍第1項所述之薄膜電晶體陣列基板，其中該些畫素電極之材質包括銦錫氧化物及銦鋅氧化物其中之一。

9. 一種薄膜電晶體陣列基板，包括：

一基板；

多數個掃描配線，配置於該基板上；

多數個資料配線，配置於該基板上，其中該些掃描配線與該些資料配線係將該基板區分為多數個畫素區域；

多數個薄膜電晶體，每一該些薄膜電晶體係配置於該些畫素區域其中之一內，其中該些薄膜電晶體係藉由該些掃描配線以及該些資料配線驅動；

多數個共用配線，配置於該基板上，且每一該些共用配線係位於二相鄰之該些掃描配線之間；

一蝕刻阻障層，該蝕刻阻障層係配置該些共用配線上方，其中該蝕刻阻障層具有多數個該開口；以及



六、申請專利範圍

多數個畫素電極，每一該些畫素電極係配置於該些畫素區域其中之一內，以與對應之該些薄膜電晶體其中之一電性連接，其中每一該些畫素電極之部分區域係透過該些開口其中之一而分別與該些共用配線其中之一耦合為一儲存電容。

10. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，更包括一閘極絕緣層，配置於該蝕刻阻障層與該些共用配線之間。

11. 如申請專利範圍第10項所述之薄膜電晶體陣列基板，其中該閘極絕緣層具有多數個凹陷，且每一該些凹陷係對應於該蝕刻阻障層之該些開口其中之一。

12. 如申請專利範圍第10項所述之薄膜電晶體陣列基板，更包括一半導體層，配置於該些蝕刻阻障層與該閘極絕緣層之間。

13. 如申請專利範圍第10項所述之薄膜電晶體陣列基板，更包括一保護層，配置於該蝕刻阻障層與該閘極絕緣層上，並將該蝕刻阻障層之該些開口暴露。

14. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該蝕刻阻障層包括多數個條狀圖案，且每一該些條狀圖案係位於對應之該些共用配線其中之一上方。

15. 如申請專利範圍第9項所述之薄膜電晶體陣列基板，其中該蝕刻阻障層包括多數個框狀圖案，且每一該些框狀圖案係位於對應之該些畫素電極其中之一下方。

16. 如申請專利範圍第9項所述之薄膜電晶體陣列基



六、申請專利範圍

板，其中該些畫素電極之材質包括銦錫氧化物及銦鋅氧化物其中之一。

17. 一種薄膜電晶體陣列基板的製造方法，包括：

於一基板上形成一第一圖案化導體層；

於該基板以及該第一圖案化導體層上依序形成一閘極絕緣層以及一半導體材料層；

於該半導體材料層的部分區域上形成一位於該第一圖案化導體層上方之蝕刻阻障層；

於該半導體材料層與該蝕刻阻障層上形成一導體層；

圖案化該導體層與該半導體材料層，以同時形成一第二圖案化導體層以及多數個位於該蝕刻阻障層與該第二圖案化導體層下方之半導體層；

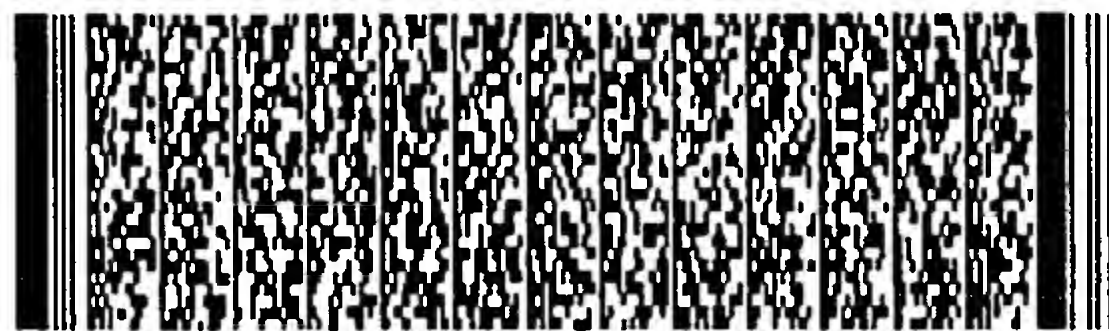
於該基材上形成一保護層；

移除該第二圖案化導體層的部分區域上方之該保護層以形成多數個接觸窗，同時移除該第一圖案化導體層的部分區域上方之該保護層、該蝕刻阻障層以及該些半導體層以形成多數個開口；以及

於該基材上形成多數個畫素電極，每一該些畫素電極係透過對應之該些接觸窗其中之一與該第二圖案化導體層電性連接，且每一該些畫素電極之部分區域係透過該些開口其中之一與該第一圖案化導體層耦合為一儲存電容。

18. 如申請專利範圍第17項所述之薄膜電晶體陣列基板的製造方法，其中形成該第一圖案化導體層包括：

形成一第一導體層於該基材上；以及



六、申請專利範圍

圖案化該第一導體層，以形成多數個掃描配線以及多數個與該些掃描配線連接之閘極。

19. 如申請專利範圍第18項所述之薄膜電晶體陣列基板的製造方法，其中該蝕刻阻障層係形成於該些閘極與該些掃描配線上方。

20. 如申請專利範圍第17項所述之薄膜電晶體陣列基板的製造方法，其中形成該第一圖案化導體層包括：

形成一第一導體層於該基材上；以及

圖案化該第一導體層，以形成多數個掃描配線、多數個與該些掃描配線連接之閘極，以及多數個位於二相鄰之該些掃描配線之間的共用配線。

21. 如申請專利範圍第20項所述之薄膜電晶體陣列基板的製造方法，其中該蝕刻阻障層係形成於該些閘極與該些共用配線上方。

22. 如申請專利範圍第17項所述之薄膜電晶體陣列基板的製造方法，其中在圖案化該導體層與該半導體材料層的同時，更包括以該第二圖案化導體層為罩幕，移除部分厚度之該蝕刻阻障層。

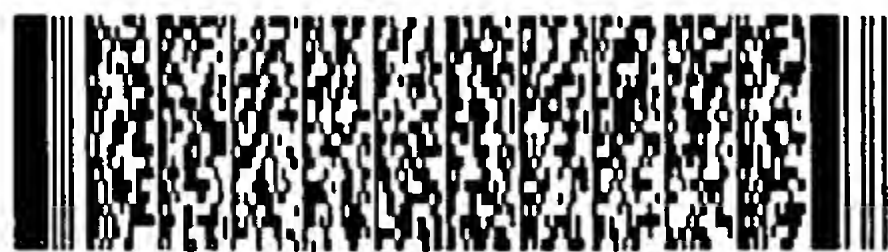
23. 如申請專利範圍第17項所述之薄膜電晶體陣列基板的製造方法，其中在形成該些接觸窗的同時，更包括移除部分厚度之該閘極絕緣層，以於該閘極絕緣層中形成多數個對應於該些開口之凹陷。

24. 如申請專利範圍第17項所述之薄膜電晶體陣列基板的製造方法，其中在該半導體材料層與該蝕刻阻障層上



六、申請專利範圍

形成一導體層之前，更包括形成一歐姆接觸層於該半導體材料層與該蝕刻阻障層上。



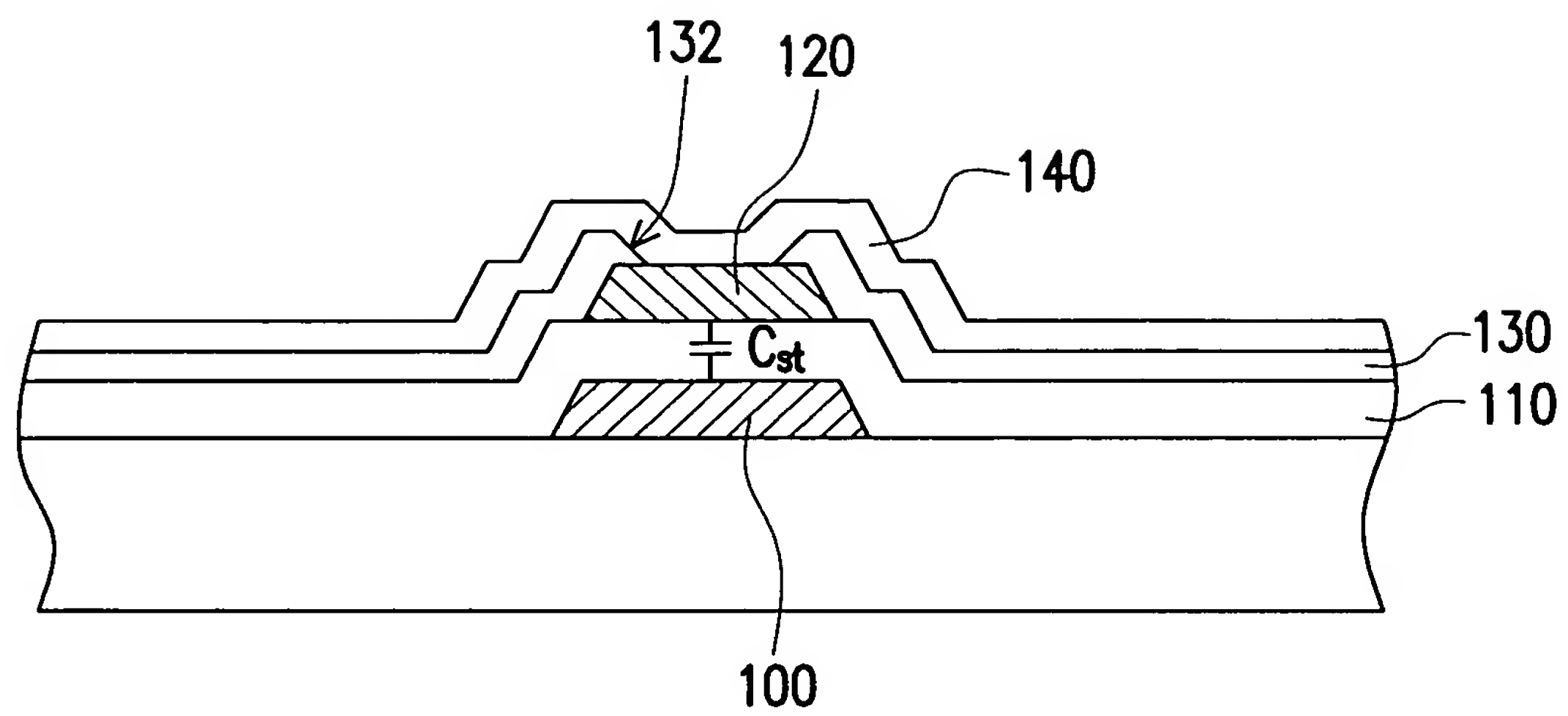


圖 1

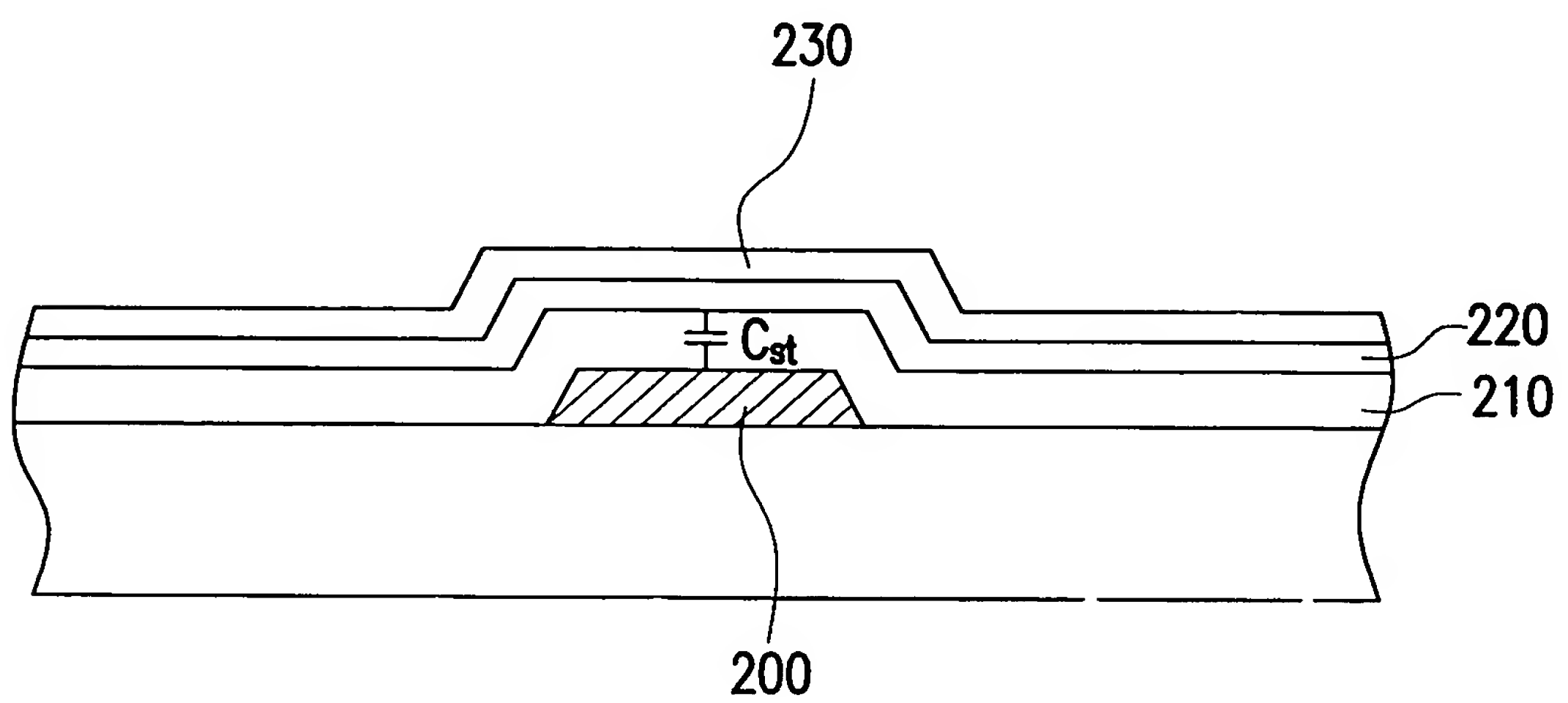


圖 2

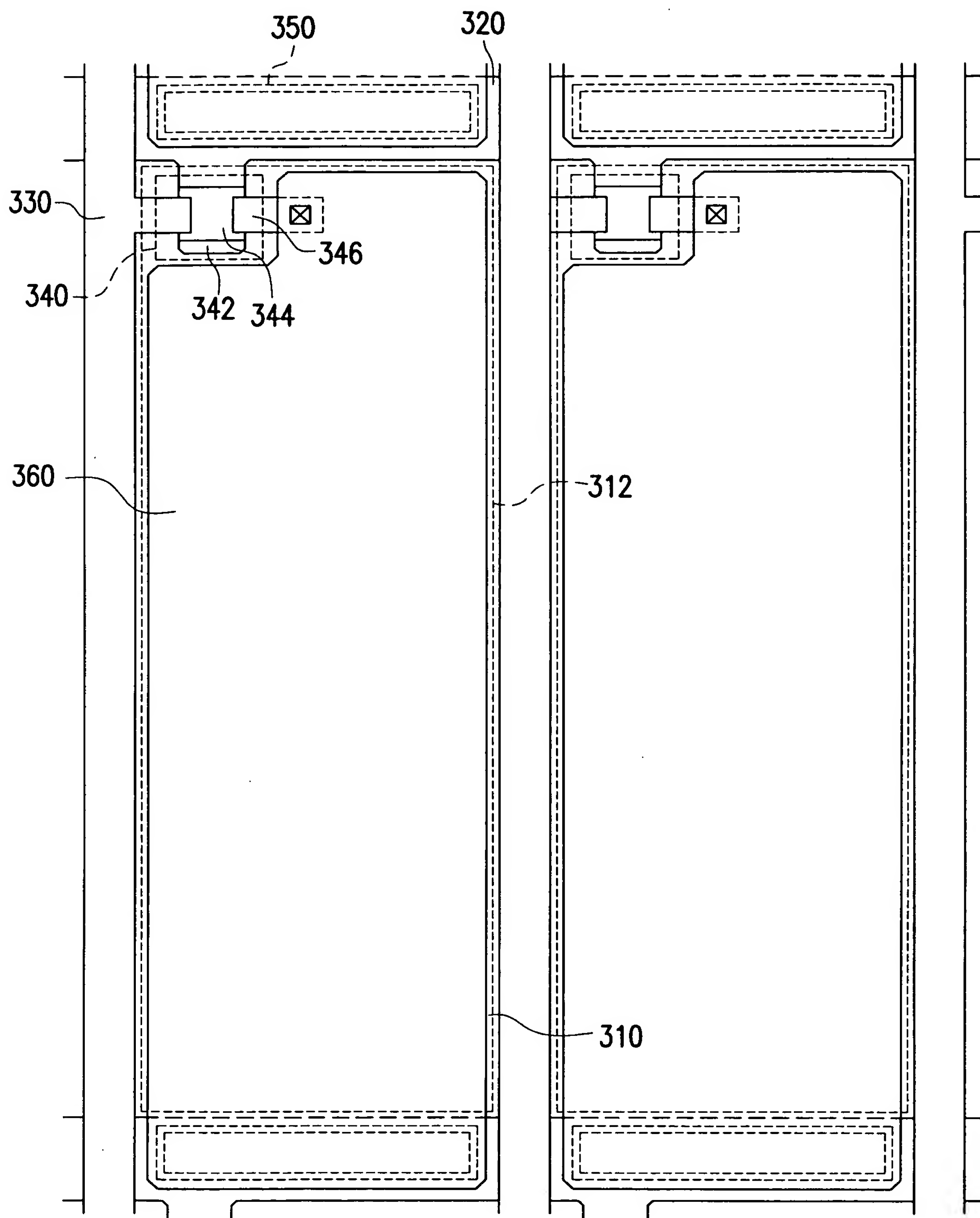
300

圖 3

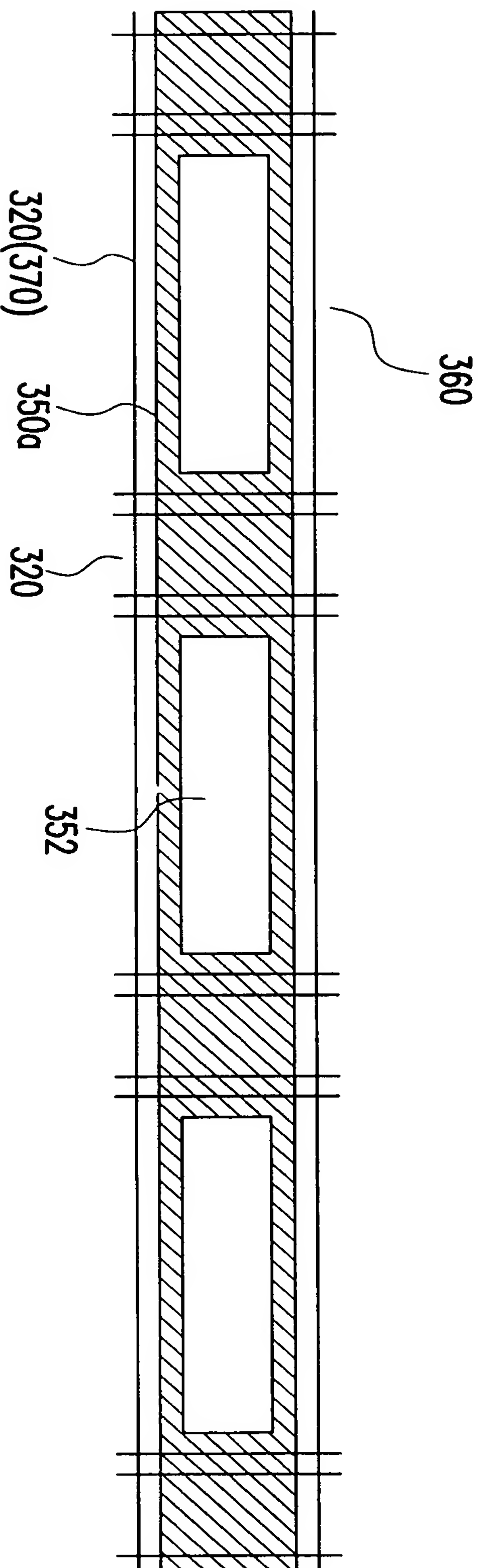


圖 4A

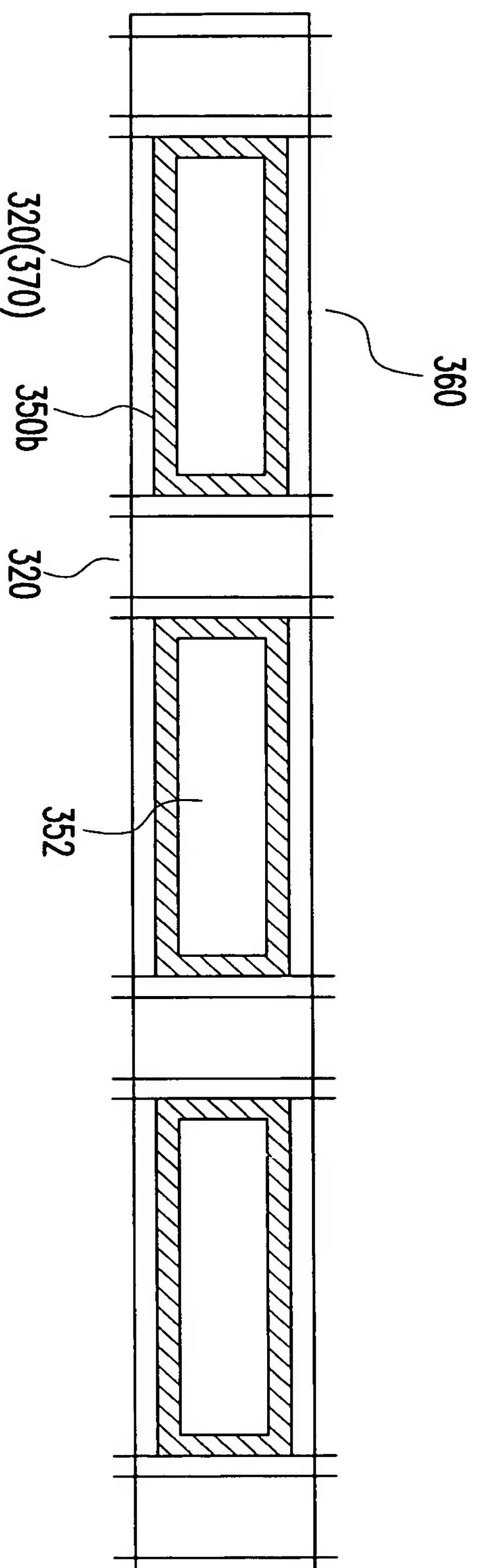
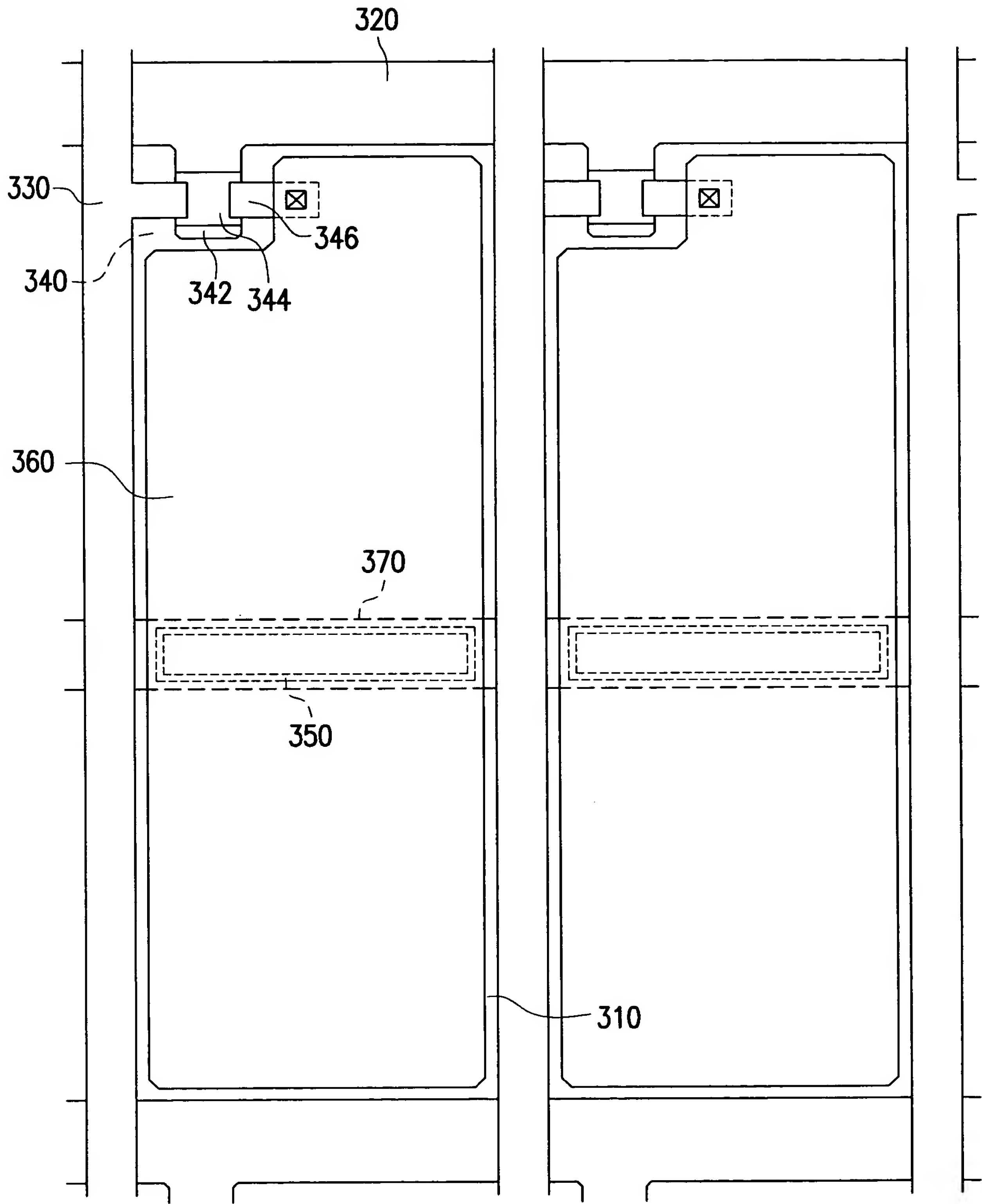


圖 4B



300'

圖 5

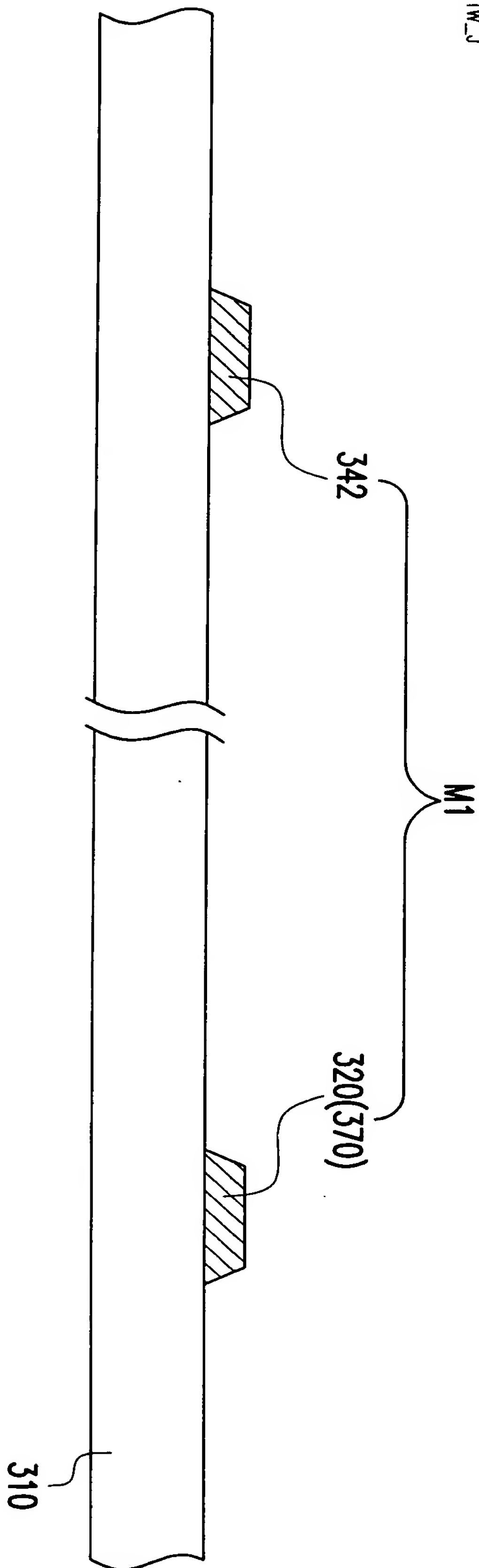


圖 6A

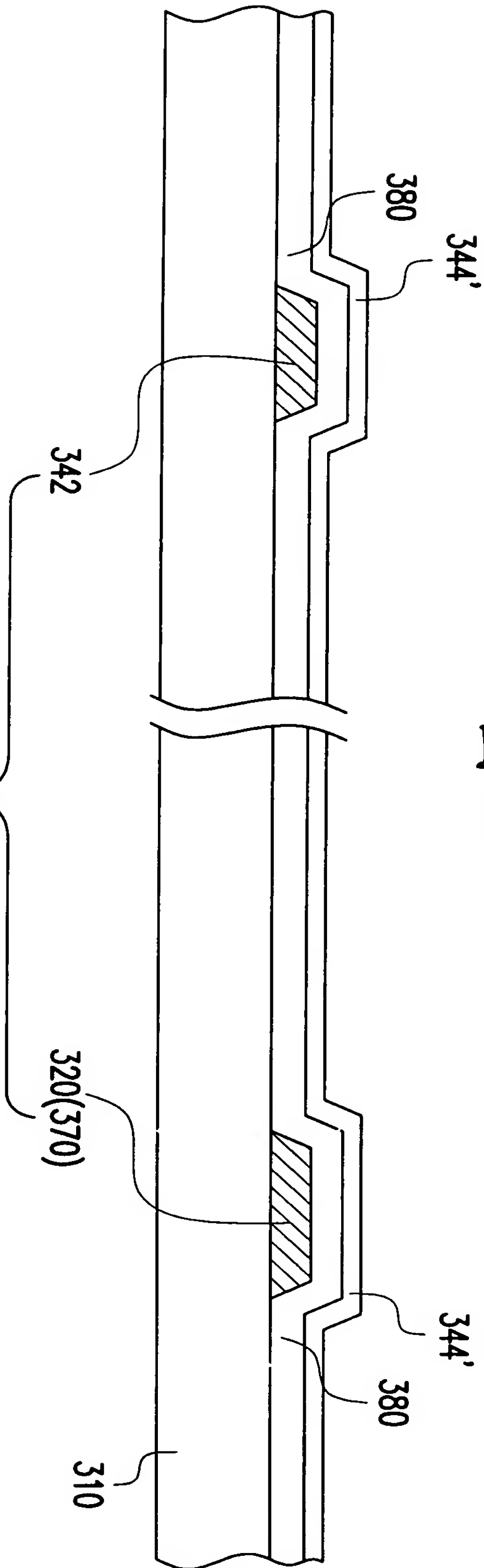


圖 6B

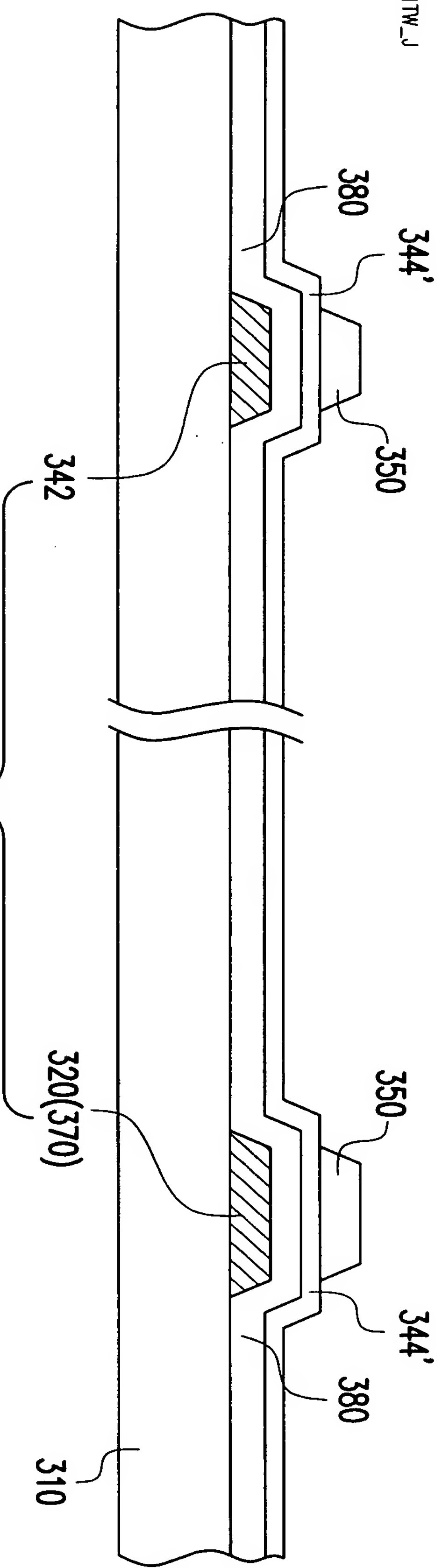


圖 6C

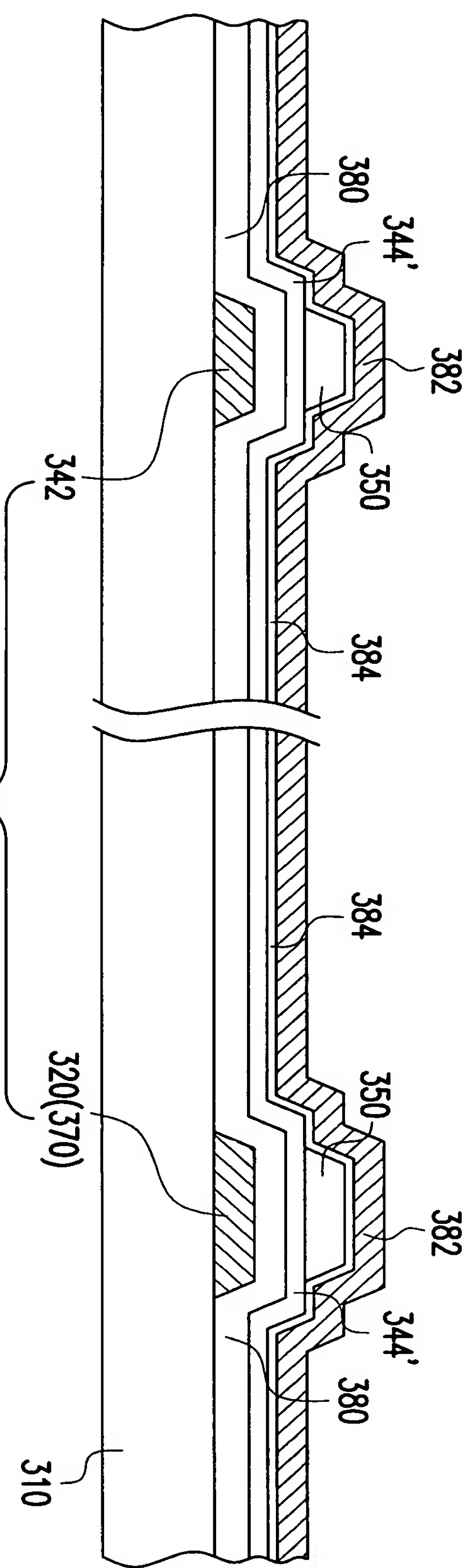


圖 6D

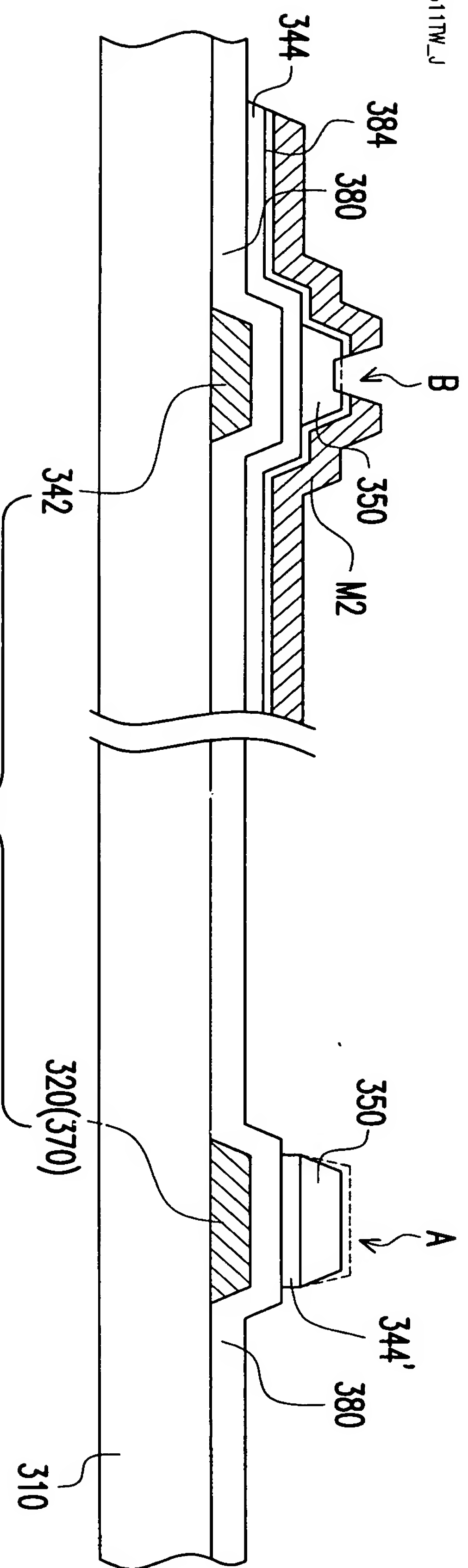


圖 6E

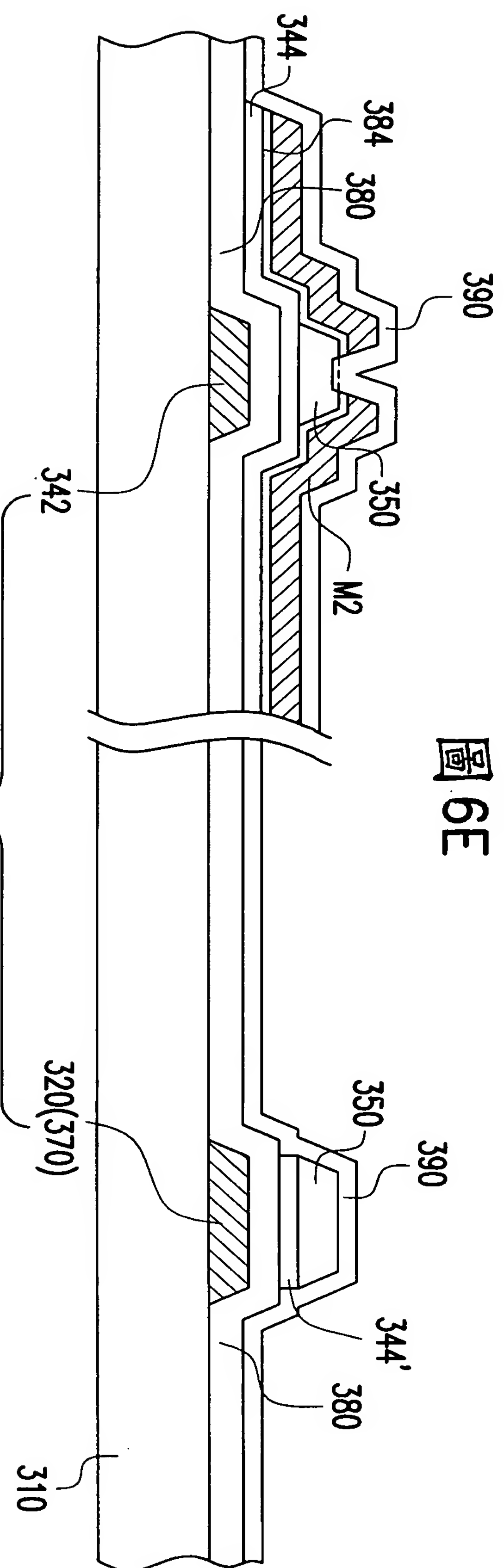
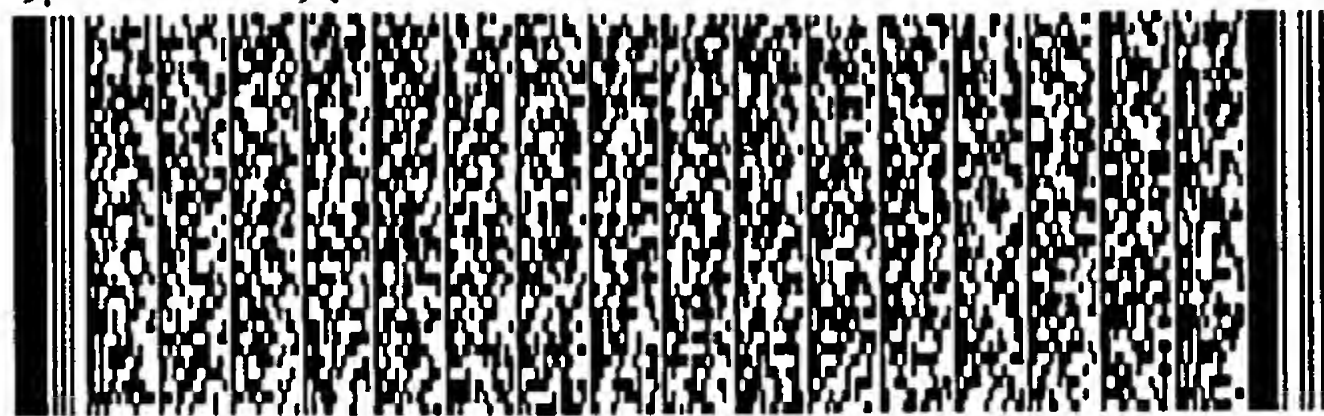
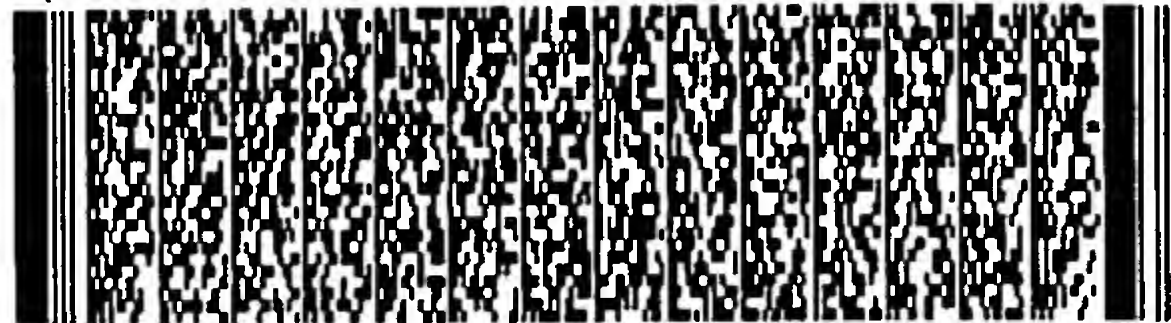


圖 6F

第 1/26 頁



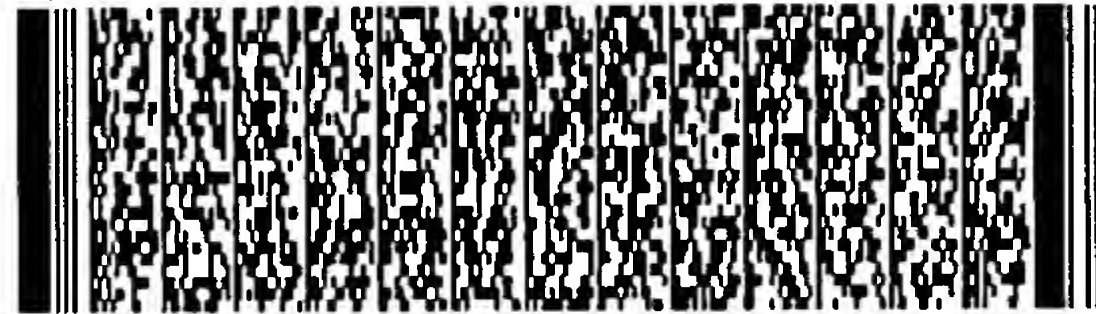
第 2/26 頁



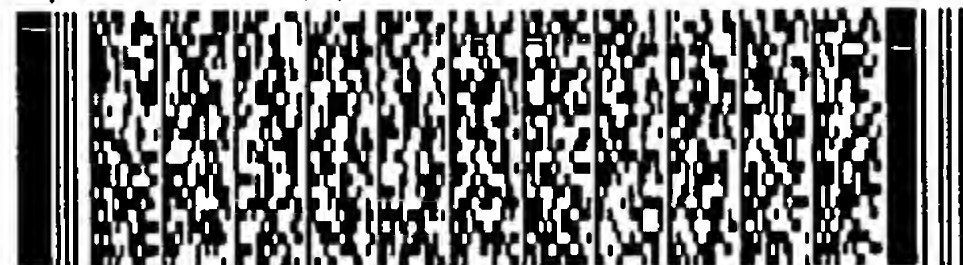
第 2/26 頁



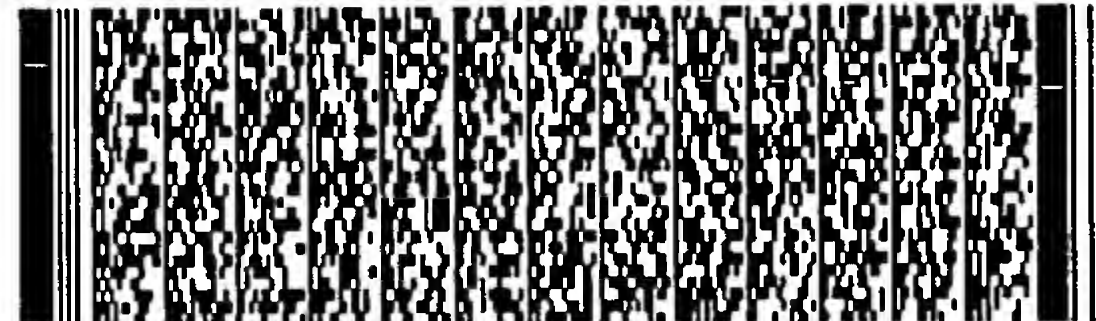
第 3/26 頁



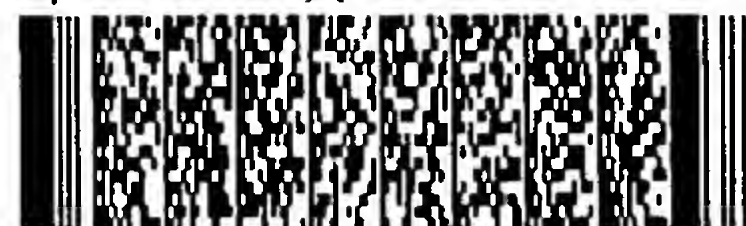
第 4/26 頁



第 5/26 頁



第 6/26 頁



第 7/26 頁



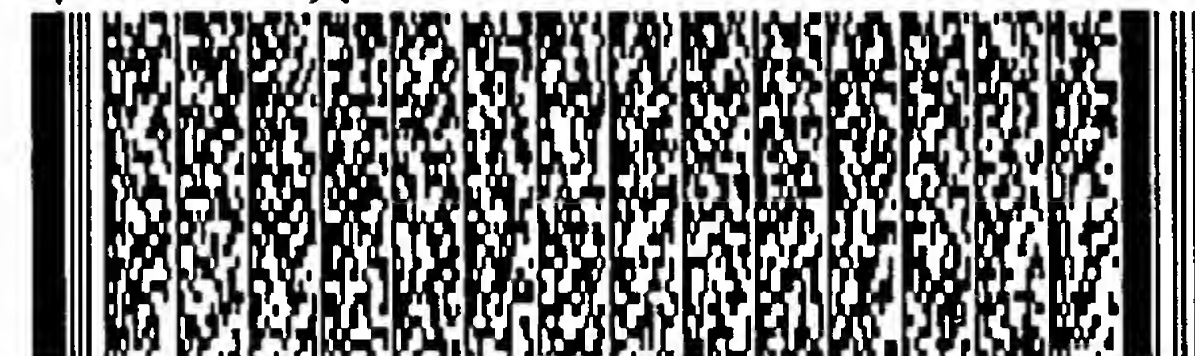
第 7/26 頁



第 8/26 頁



第 8/26 頁



第 9/26 頁



第 9/26 頁



第 10/26 頁



第 10/26 頁



第 11/26 頁



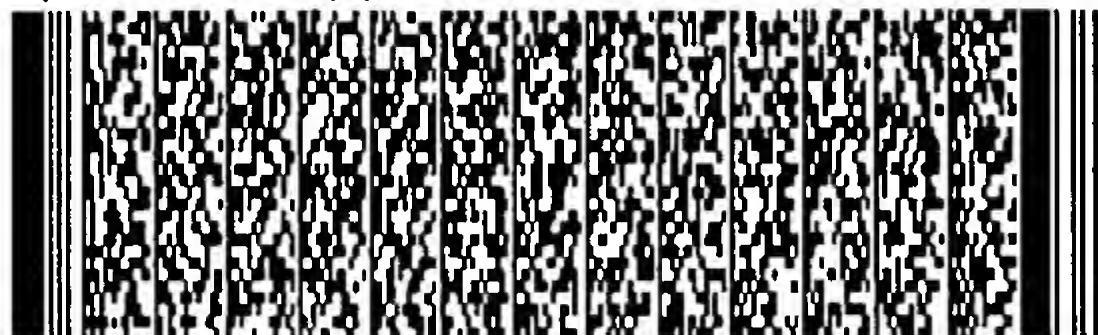
第 11/26 頁



第 12/26 頁



第 12/26 頁



第 13/26 頁



第 13/26 頁



第 14/26 頁



第 14/26 頁



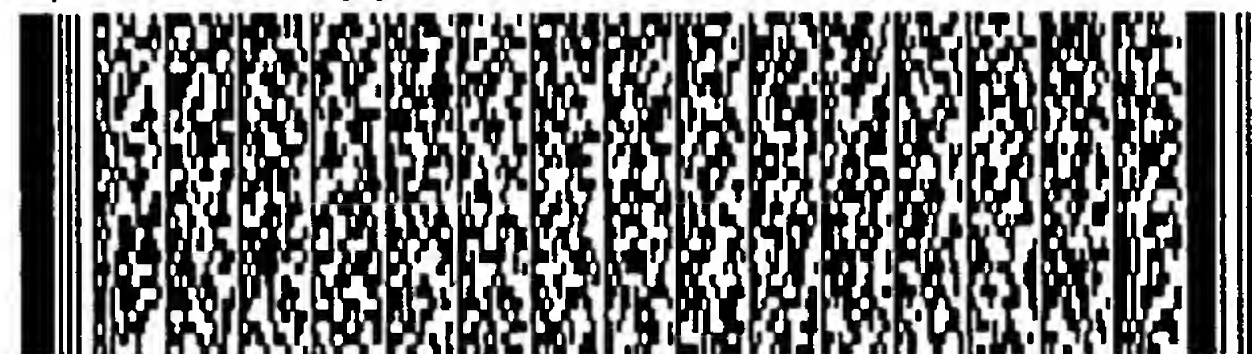
第 15/26 頁



第 15/26 頁



第 16/26 頁



第 16/26 頁



第 17/26 頁



第 17/26 頁



第 18/26 頁



第 18/26 頁



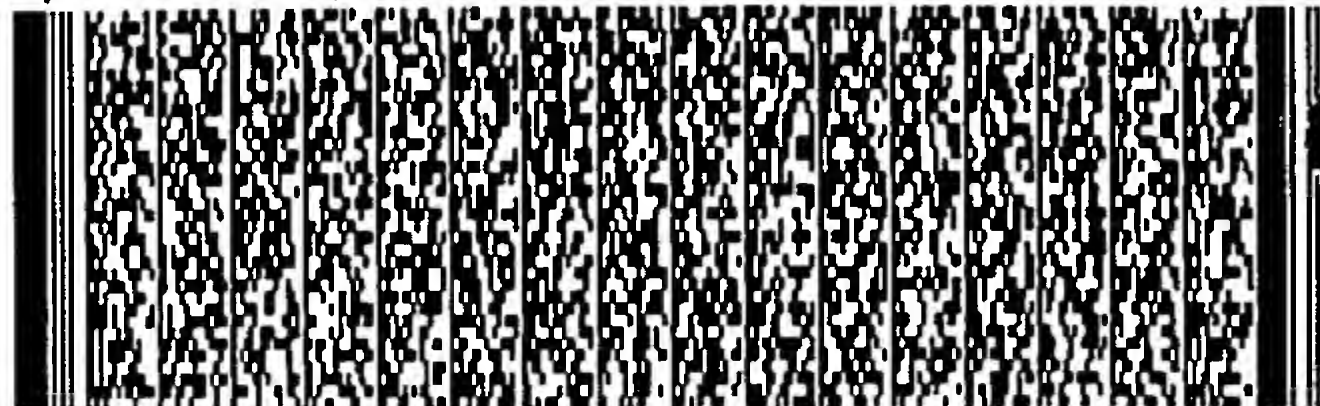
第 19/26 頁



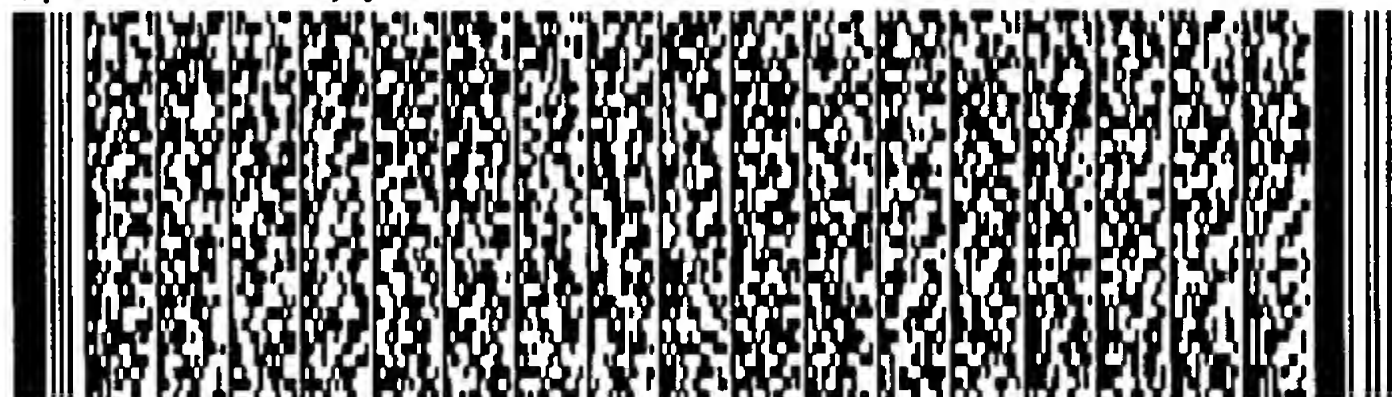
第 20/26 頁



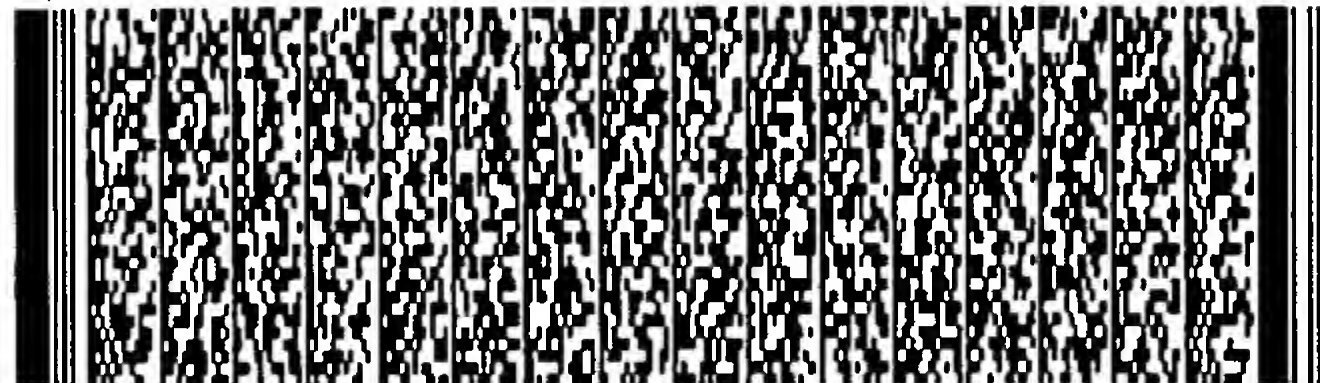
第 21/26 頁



第 22/26 頁



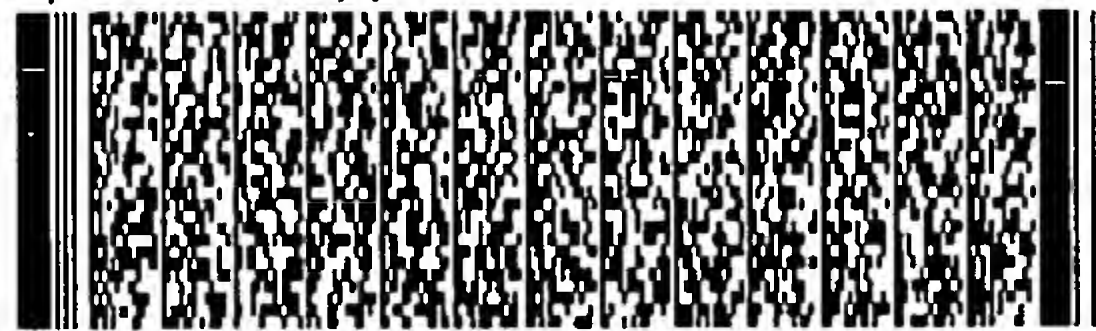
第 23/26 頁



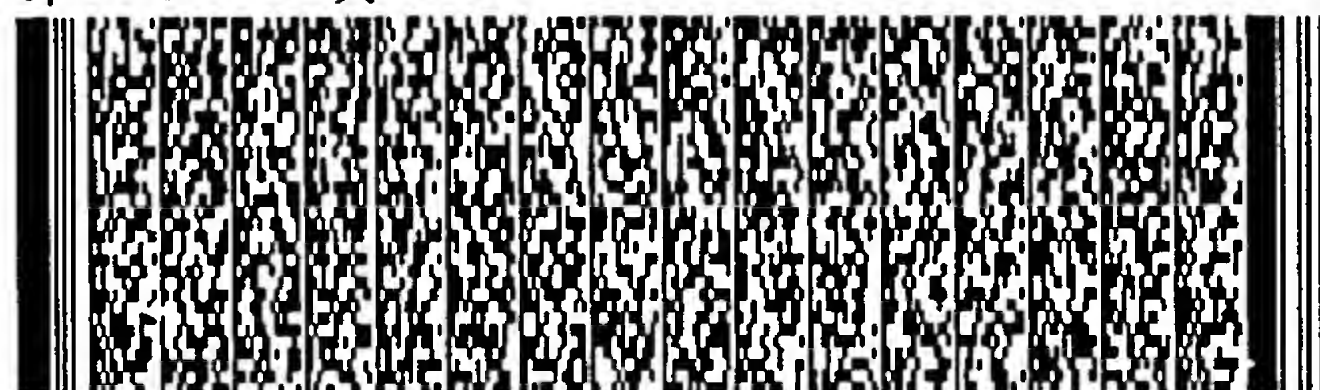
第 24/26 頁



第 24/26 頁



第 25/26 頁



第 26/26 頁

